

201P0677US

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC971 U.S. PRO

09/862894



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2000年 5月22日

出 願 番 号  
Application Number:

特願2000-150350

出 願 人  
Applicant(s):

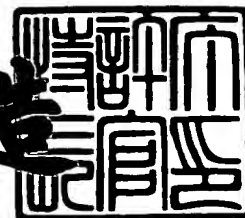
ソニー株式会社

*TL9  
Priority  
L. H. H. H. H.  
12-7-01*

2001年 5月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3040308

【書類名】 特許願

【整理番号】 0000310101

【提出日】 平成12年 5月22日

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 中村 光宏

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社  
内

【氏名】 和田 伸一

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【代表者】 出井 伸之

【連絡先】 知的財産部 0 3 - 5 4 4 8 - 2 1 3 7

【手数料の表示】

【予納台帳番号】 005094

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電界効果トランジスタの保護回路

【特許請求の範囲】

【請求項 1】 電界効果トランジスタのゲート電極をサージ破壊から保護する保護回路であって、

複数個の順方向の第 1 のダイオードと、第 1 のダイオードと同じ数の逆方向の第 2 のダイオードとを縦続接続させたダイオード列を備え、

ダイオード列を介して、電界効果トランジスタのゲート電極を接地していることを特徴とする電界効果トランジスタの保護回路。

【請求項 2】 ダイオード列のダイオードは、ドーピング濃度の高い  $n^+$  型層と  $n^+$  型層上に設けられたショットキー電極とからなるショットキーバリア・ダイオードとして、又はドーピング濃度の高い  $n^+$  型層と  $p$   $n$  接合する  $p$   $n$  接合ダイオードとして形成されていることを特徴とする請求項 1 に記載の電界効果トランジスタの保護回路。

【請求項 3】 保護回路のリーク電流が電界効果トランジスタに要求されるゲート電極の最大定格のリーク電流値以下になるように、ダイオード列の順方向の第 1 のダイオードの数が定められていることを特徴とする請求項 1 に記載の電界効果トランジスタの保護回路。

【請求項 4】 電界効果トランジスタが、接合型電界効果トランジスタ、ショットキーバリアゲート型電界効果トランジスタ、及びヘテロ接合型電界効果トランジスタのいずれかであって、化合物半導体の基板上に電界効果トランジスタと一体的に形成された化合物半導体素子として構成されていることを特徴とする請求項 1 に記載の電界効果トランジスタの保護回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、電界効果トランジスタの保護回路に関し、更に詳細には、電界効果トランジスタ、特に J F E T、M E S F E T、H F E T 等のゲート電極をサージ破壊から保護し、F E T の耐サージ性を高める保護回路であって、所要プロセス

工程数を少なくするために、F E T と一体的に形成されたダイオードを保護素子とする、F E T の保護回路に関するものである。

【 0 0 0 2 】

【従来の技術】

G a A s 系等の化合物半導体層の積層構造を有する化合物半導体系の電界効果トランジスタは、電子移動度が高く、良好な高周波特性を有するので、携帯電話などの高周波領域の分野で広く用いられている。

ところで、化合物半導体系電界効果トランジスタのゲート電極は、その耐サージ性が、所望の用途、構造、寸法の電界効果トランジスタに要求される程、高くないことが知られている。

特に、パワーアンプやアンテナスイッチのバイアス調節用回路等で用いられている、ゲート幅の小さい、例えばゲート幅が  $10\mu\text{m}$  から  $20\mu\text{m}$  の J F E T 、 M E S F E T 、 H F E T 等の化合物半導体系電界効果トランジスタは、ゲート電極の耐サージ性が極めて低く、 $20\text{V}$  から  $30\text{V}$  のサージ電圧でゲート電極の耐圧が破壊されることがある。

【 0 0 0 3 】

J F E T は、接合型電界効果トランジスタ ( J F E T : Junction Field Effect Transistor ) の略記であって、p n 接合を利用して電流変調を行う素子である。M E S F E T は、ショットキーバリアゲート型電界効果トランジスタ ( M E S F E T : Metal-Semiconductor Field Effect Transistor ) の略記であって、ショットキー接合を利用して電流変調を行う素子である。また、H F E T は、ヘテロ接合型電界効果トランジスタ ( H F E T : Heterojunction Field Effect Transistor ) の略記であって、ヘテロ接合を利用して電流変調を行う素子である。

【 0 0 0 4 】

そこで、耐サージ性を高めて、F E T のゲート電極を破壊から保護するために、保護素子を備え、F E T を保護する保護回路が F E T のゲート電極に設けられている。

ここで、図 7 を参照して、従来の保護回路の構成を説明する。図 7 ( a ) 及び ( b ) は、それぞれ、従来例 1 及び従来例 2 の保護回路の構成を示す回路図であ

る。

従来例1の保護回路90は、図7(a)に示すように、FETのゲート電極に接続する $V_{gg}$ を逆方向のダイオード92を介して接地させるとともに、順方向のダイオード94を介してドレイン電極にも $V_{gg}$ を接続させた回路である。

従来例2の保護回路96は、図7(b)に示すように、順方向のダイオード98とそれに縦続接続された逆方向のダイオード99を介して $V_{gg}$ を接地させた回路である。

#### 【0005】

#### 【発明が解決しようとする課題】

しかし、上述した従来の保護回路は、それぞれ、以下に説明するような問題があった。

高周波領域で動作させるGaAsMESFETのような電界効果トランジスタでは、グランド線を大きくすること、即ちグランド線を強化することにより、高周波特性の低下、即ち高周波領域でのゲインの低下を防いでいるが、従来例1の保護回路では、図7(a)に示す構成から判るように、バイアス調整用の端子、つまりゲート端子とドレイン端子とを相互に近付けることが必要になる。この結果、ゲート端子とドレイン端子とを相互に近付けることがパターンレイアウトに対する制約となって、パターンレイアウト上で好ましくないという問題があった。

また、従来例2の保護回路では、所望の耐サージ性を確保できないという問題があった。

#### 【0006】

ところで、化合物半導体基板上に化合物半導体層の積層構造をエピタキシャル成長させてなる化合物半導体系のFETの場合には、保護素子を形成するために別途にチャネル濃度を調節するようなことはプロセス上から出来ない。

そのため、例えば、FETのサージ耐圧を向上させる際には、FETのゲート、ドレイン間の距離を長く設定することにより、サージ耐圧の向上を図っている。このように、化合物半導体系のFETでは、レイアウトを調整することにより、耐サージ性の向上を図ること以外には、耐サージを向上させる方法がなかった。

【 0 0 0 7 】

しかし、近年、F E Tの所要のゲート・ドレイン間耐圧が小さくて済むようになって来るにつれて、ゲート・ドレイン間の距離は狭くなり、例えば、ゲート・ドレイン間距離がレイアウトのデザインルールの最小寸法にまで縮小されるようになってきている。

このような場合、保護素子としてのダイオードのD C耐圧を更に小さくする必要があるにもかかわらず、F E Tのパターンレイアウト上で、ダイオードの接合間距離を狭めることが出来なくなってきた。

一方、ショットキー電極やp n接合電極を例えばドーピング濃度の高い、つまりキャリア濃度の高い $n^+$ 領域に設けることにより、D C耐圧を小さくすることができるものの、同時にリーク電流が増加するといった問題があった。

【 0 0 0 8 】

そこで、本発明の目的は、電界効果トランジスタのパターンレイアウトを制約することなく、かつプロセス工程を増やすことなく作製できる構成の電界効果トランジスタの保護回路を提供することである。

【 0 0 0 9 】

【課題を解決するための手段】

本発明者は、上記目的を達成するためには、電界効果トランジスタの保護回路、特に、バイアス調整回路の保護回路に対して必要な条件は、次の3条件であると考えた。

- (1) 電源電圧が印加された状態で、保護回路のリーク電流が少ないこと
- (2) バイアス調整回路の最初に設けられたトランジスタ、ダイオードの耐圧よりも、耐圧が小さいこと、及び
- (3) 対サージ耐圧が大きいこと、

これらの3条件を満足する電界効果トランジスタの保護回路として、順方向のダイオードと逆方向のダイオードとを対向させて接続したダイオード・ユニットを同じ数だけ複数個直列に接続する保護回路を着想し、研究を重ねて、本発明を発明するに至った。

【 0 0 1 0 】

上記目的を達成するために、本発明に係る電界効果トランジスタの保護回路は、電界効果トランジスタのゲート電極をサージ破壊から保護する保護回路であって、

複数個の順方向の第 1 のダイオードと、第 1 のダイオードと同じ数の逆方向の第 2 のダイオードとを縦続接続させたダイオード列を備え、

ダイオード列を介して、電界効果トランジスタのゲート電極を接地していることを特徴としている。

【 0 0 1 1 】

本発明では、ダイオード列内の第 1 のダイオードと第 2 のダイオードの配列順序は任意であって、例えば第 1 のダイオードとそれに縦続接続された第 2 のダイオードとの組を複数組直列接続しても良く、また、先ず、始めに複数個の第 1 のダイオードを縦続接続したダイオード列と、同じ数の第 2 のダイオードを縦続接続したダイオード列とを直列に接続しても良い。

本発明では、ダイオード一つ一つのリーク電流は小さいものの、ダイオードを複数個、例えば 2 個のダイオードを縦続接続することにより、一つのダイオードに印加される電圧は、保護素子として一つのダイオードしか有しない場合のダイオードに印加される電圧の半分になるので、リーク電流を抑えることができる。

【 0 0 1 2 】

本発明では、保護回路のリーク電流が、電界効果トランジスタに要求されるゲート電極の最大定格のリーク電流値以下になるように、ダイオード列の順方向の第 1 のダイオードの数が定められている。即ち、順方向の第 1 のダイオードの数は、上述のようにして定められた数以上であれば良い。

換言すれば、ゲート電極の最大定格のリーク電流値が小さいときには、第 1 のダイオードの数を増やし、逆にゲート電極の最大定格のリーク電流値が大きいときには、第 1 のダイオードの数を減らす。

本発明の保護回路のリーク電流が小さくなるので、保護回路を付設した回路全体としての消費電力を抑えることができる。

【0013】

本発明の好適な実施態様では、ダイオード列のダイオードは、ドーピング濃度の高いn型領域上に設けられたショットキー電極として、ドーピング濃度の高いn型領域とpn接合する電極として形成されている。

【0014】

本発明の更に好適な実施態様では、電界効果トランジスタが、接合型電界効果トランジスタ（JFET）、ショットキーバリアゲート型電界効果トランジスタ（MESFET）、及びヘテロ接合型電界効果トランジスタ（HFET）のいずれかであって、

ダイオードが、化合物半導体の基板上に電界効果トランジスタと一体的に形成された化合物半導体素子として構成されている。

これにより、化合物半導体層のエピタキシャル基板上に作成されるバイアス調整回路に対する保護回路を、プロセス工程を増やすことなく、また、バイアス調整回路のパターンレイアウトを制約することなく、形成することができる。

【0015】

本発明に係る電界効果トランジスタの保護回路は、電界効果トランジスタの種類に制約なく適用できる。

特に、携帯電話、PHS、高周波を扱うシステムに搭載した電子機器等で多用されるパワーアンプ、アンテナスイッチ、ローノイズアンプ、ミキサー等の回路に設けられた化合物半導体系の電界効果トランジスタの保護回路として最適である。

【0016】

【発明の実施の形態】

以下に、添付図面を参照して、実施形態例に基づいて本発明をより詳細に説明する。

実施形態例 1

本実施形態例は、本発明に係る電界効果トランジスタの保護回路の実施形態の一例であって、図1は本実施形態例の電界効果トランジスタの保護回路の回路図及び図2は保護回路を構成するダイオードの構造を示す断面図である。



本実施形態例の電界効果トランジスタの保護回路10は、図1に示すように、MMIC（モノリシック・マイクロIC）に設けられた、ショットキーゲートHFETの保護回路であって、順方向のダイオード12と逆方向のダイオード14とを縦続接続させたダイオード・ユニット16の2組を直列に接続した回路であって、HFETのゲート電極に接続されたゲート線V<sub>gg</sub>は、保護回路10を介して接地されている。

## 【0017】

本実施形態例の保護回路10を構成するダイオード12、14は、保護回路10がサージ破壊から保護するショットキーゲートHFETと一体的に形成されたダイオードであって、図2に示すように、GaAs基板18上に成膜された $n^+$ -GaAsキャップ層20と、 $n^+$ -GaAsキャップ層20上に形成されたショットキー電極22とからなるショットキーバリア・ダイオードとして構成されている。

$n^+$ -GaAsキャップ層20は、アイソレーション領域（素子分離領域）24によって相互に分離された素子形成領域26に設けられ、 $n$ 型ドーピング濃度、即ち $n$ 型のキャリア濃度が高い、望ましくは、 $2 \times 10^{18} \text{ cm}^{-3}$ 以上のキャリア濃度の層である。

## 【0018】

ショットキー電極22は、WN（窒化タングステン）などの高融点金属又はTi/Pt/Auなどの積層金属膜として $n^+$ -GaAsキャップ層20上に形成され、絶縁膜28によって相互に絶縁されている。

ダイオード12とダイオード14のショットキー電極22は、AuやAlなどの配線材料からなる配線30によって、相互に接続されている。

## 【0019】

本実施形態例では、ダイオード12、14は、一つ一つでは、リーク電流が大きいので、これを2段に直列接続したものである。2段に重ねることにより一つのダイオードに印加される電圧が、従来の半分になり、リーク電流を抑えることができる。

## 【0020】

本実施形態例の保護回路10を作製するには、MMICを構成するショットキーゲートHFETを作製する工程と同じ工程で、GaAs基板18上に $n^+$ -GaAsキャップ層20をエピタキシャル成長させ、次いでアイソレーション領域24によって素子形成領域26を相互に素子分離する。

次いで、成長させた $n^+$ -GaAsキャップ層20をエッチングすることなく、 $n^+$ -GaAsキャップ層20上にスパッタ法等によってショットキーゲートHFETのゲート電極と同じ金属材料を使ってショットキー電極22を形成する。

電極材料として、例えばスパッタ法によってWN（窒化タングステン）などの高融点金属を堆積させたり、或いは電子銃蒸着法（e-gun蒸着法）によってTi/Pt/Auなどの積層金属膜を形成しても良い。

次いで、ショットキー電極22同士をAuやAlなどの配線材料からなる配線30で接続する。

これにより、保護回路10がサージ破壊から保護するHFETの形成と同じプロセス工程で保護回路10を作製することができるので、プロセス工程を増やすことなく、また、HFETのパターンレイアウトを制約することなく、保護回路10を形成することができる。

【0021】

## 実施形態例2

本実施形態例は、本発明に係る電界効果トランジスタの保護回路の実施形態の別の例であって、図3は本実施形態例の電界効果トランジスタの保護回路の回路図である。

本実施形態例の電界効果トランジスタの保護回路40は、pn接合ダイオードを保護素子とする保護回路であって、図3に示すように、np接合とpn接合とを有するnpn型のダイオード42を2段に直列接続させたFETの保護回路である。FETのゲート電極に接続されたゲート線V<sub>gg</sub>は、保護回路40を介して接地されている。

本実施形態例でも、np接合のn型層のキャリア濃度は、望ましくは、 $2 \times 10^{18} \text{ cm}^{-3}$ 以上になるようにする。

## 【 0 0 2 2 】

実施形態例 2 の改変例 1

本改変例は、実施形態例 2 の改変例であって、図 4 は本改変例の電界効果トランジスタの保護回路の回路図である。

本改変例の電界効果トランジスタの保護回路 5 0 は、図 4 に示すように、2 個の p n 接合ダイオード 5 2 を縦続接続したダイオード列と、2 個の n p 接合ダイオード 5 4 を縦続接続したダイオード列とを直列に接続させてなる F E T の保護回路であって、F E T のゲート電極に接続されたゲート線 V g g は、保護回路 5 0 を介して接地されている。

本改変例でも、n p 接合の n 型層のキャリア濃度は、望ましくは、 $2 \times 10^{18} \text{ cm}^{-3}$  以上になるようにする。

## 【 0 0 2 3 】

実施形態例 2 の改変例 2

本改変例は、実施形態例 2 の別の改変例であって、図 5 は本改変例の電界効果トランジスタの保護回路の回路図である。

本改変例の電界効果トランジスタの保護回路 6 0 は、改変例 1 の保護回路 5 0 とは順方向のダイオードと逆方向のダイオードの配列が逆であって、図 5 に示すように、2 個の逆方向の n p 接合ダイオード 6 2 を縦続接続させたダイオード列と、2 個の順方向の p n 接合ダイオード 6 4 を縦続接続させたダイオード列とを直列に接続させてなる F E T の保護回路であって、F E T のゲート電極に接続されたゲート線 V g g は、保護回路 6 0 を介して接地されている。

本改変例でも、n p 接合の n 型層のキャリア濃度は、望ましくは、 $2 \times 10^{18} \text{ cm}^{-3}$  以上になるようにする。

## 【 0 0 2 4 】

実施形態例 3

本実施形態例は、実施形態例 1 のショットキーバリア・ダイオードに代えて、p n 接合ダイオードを保護素子とする保護回路である。

ところで、ヘテロ接合を有する F E T ( H F E T ) には、例えば、特開平 1 1 - 1 5 0 2 6 4 号公報 ( 特願平 9 - 2 4 9 2 1 7 ) に示されるようなデバイスが

ある。ここで、図 6 を参照して、前掲公報に開示されている H F E T の構成を説明する。図 6 は、H F E T の構成を示す断面図である。

本例の H F E T 7 0 は、図 6 に示すように、G a A s 基板 7 2 上に、順次、成膜されたバッファ層 7 4、A l G a A s からなる第 2 の障壁層 7 6、I n G a A s からなるチャネル層 7 8、及び A l G a A s からなる第 1 の障壁層 8 0 の積層構造を有する。

#### 【 0 0 2 5 】

第 1 の障壁層 8 0 は、n 型不純物を含むキャリア供給領域 8 0 a と、不純物を含まない高抵抗領域 8 0 b と、p 型不純物を含む p 型低抵抗領域 8 0 c とから構成されている。p 型低抵抗領域 8 0 c は、不純物の拡散により高抵抗領域 8 0 b に埋め込まれたゲート電極 8 2 に接して形成されている。

図 6 中、8 4 及び 8 6 は、それぞれ、ソース電極及びドレイン電極である。

上述の H F E T 7 0 は、 $n^+$  層 8 0 b に p 型不純物を拡散した構造 8 0 c を備えている。p 型不純物の拡散深さが、 $n^+$  層 8 0 b の厚さ以上であっても、 $n^+$  層の厚さ以下であってもかまわない。

#### 【 0 0 2 6 】

本実施形態例では、p n 接合ダイオードは、 $n^+$  層 8 0 b と p 型低抵抗領域 8 0 c とで構成される。

本実施形態例は、保護回路が R F の入力端子として用いることもできる。この場合、逆方向にも十分な D C 耐圧が必要であるから、逆方向にもダイオードを直列に縦続接続する。

#### 【 0 0 2 7 】

#### 【発明の効果】

本発明によれば、複数個の順方向の第 1 のダイオードと、第 1 のダイオードと同じ数の逆方向の第 2 のダイオードとを直列接続させたダイオード列を備え、ダイオード列を介して、電界効果トランジスタのゲート電極を接地することにより、電界効果トランジスタのパターンレイアウトを制約することなく、電界効果トランジスタの保護回路を形成することができる。また、本発明に係る保護回路のリーク電流は従来に比べて小さいので、保護回路を付設した電界効果トランジス

タ全体の消費電力を抑制することができる。

また、本発明に係る保護回路は、化合物半導体のエピタキシャル基板上に電界効果トランジスタと一体的に形成された化合物半導体素子として構成し、保護回路がサージ破壊から保護する電界効果トランジスタの形成と同時に保護回路を形成することができるので、保護回路を形成するために、別途、プロセス工程が必要になるようなことがない。

【図面の簡単な説明】

【図 1】

実施形態例 1 の電界効果トランジスタの保護回路の回路図である。

【図 2】

保護回路を構成するダイオードの構造を示す断面図である。

【図 3】

実施形態例 2 の電界効果トランジスタの保護回路の回路図である。

【図 4】

実施形態例 2 の改変例 1 の電界効果トランジスタの保護回路の回路図である。

【図 5】

実施形態例 2 の改変例 2 の電界効果トランジスタの保護回路の回路図である。

【図 6】

H F E T の構成を示す断面図である。

【図 7】

図 7 ( a ) 及び ( b ) は、それぞれ、従来例 1 及び従来例 2 の保護回路の回路図である。

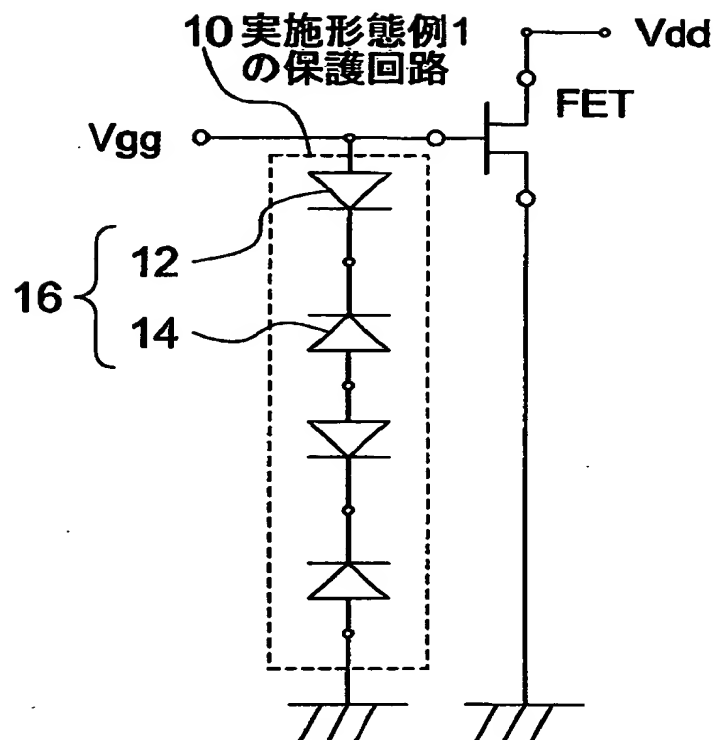
【符号の説明】

1 0 ……実施形態例 1 の電界効果トランジスタの保護回路、 1 2 ……順方向のダイオード、 1 4 ……逆方向のダイオード、 1 6 ……ダイオード・ユニット、 1 8 ……G a A s 基板、 2 0 …… $n^{+}$ -G a A s キャップ層、 2 2 ……ショットキー電極、 2 4 ……アイソレーション領域、 2 6 ……素子形成領域、 2 8 ……絶縁膜、 3 0 ……配線、 4 0 ……実施形態例 2 の電界効果トランジスタの保護回路、 4 2 ……n p n 型のダイオード、 5 0 ……実施形態例 2 の改変例 1 の電界効果ト

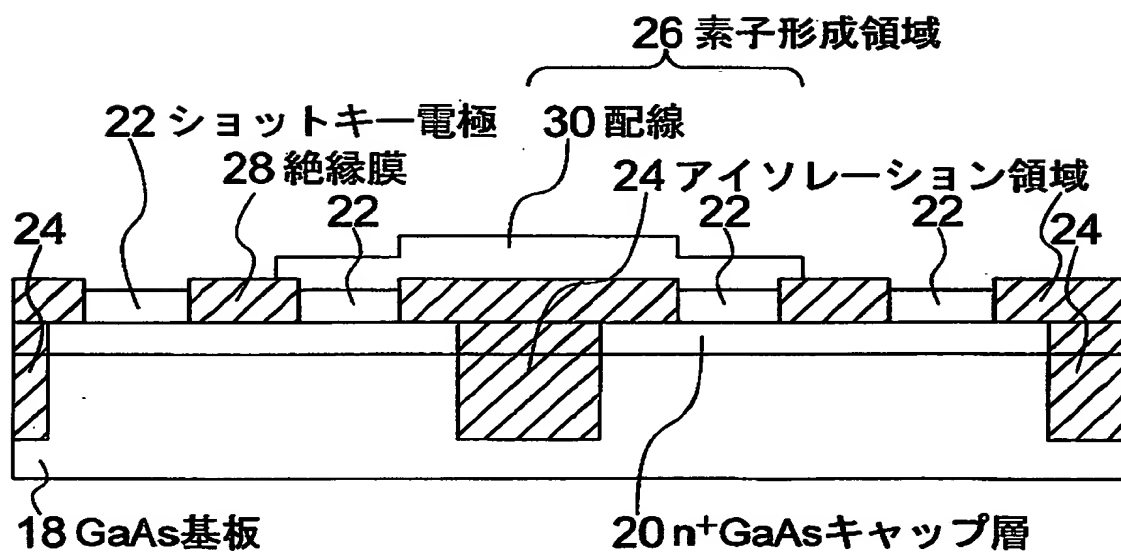
ランジスタの保護回路、52……pn接合ダイオード、54……np接合ダイオード、60……実施形態例2の改変例2の電界効果トランジスタの保護回路、62……np接合ダイオード、64……pn接合ダイオード、70……HFETの一例、72……GaAs基板、74……バッファ層、76……AlGaAsからなる第2の障壁層、78……InGaAsからなるチャネル層、80……AlGaAsからなる第1の障壁層80、80a……n型不純物を含むキャリア供給領域、80b……不純物を含まない高抵抗領域、80c……p型不純物を含むp型低抵抗領域、82……ゲート電極、84……ソース電極、86……ドレイン電極、90……従来例1の保護回路、92……逆方向のダイオード、94……順方向のダイオード、96……従来例2の保護回路、98……逆方向のダイオード、99……順方向のダイオード。

【書類名】 図面

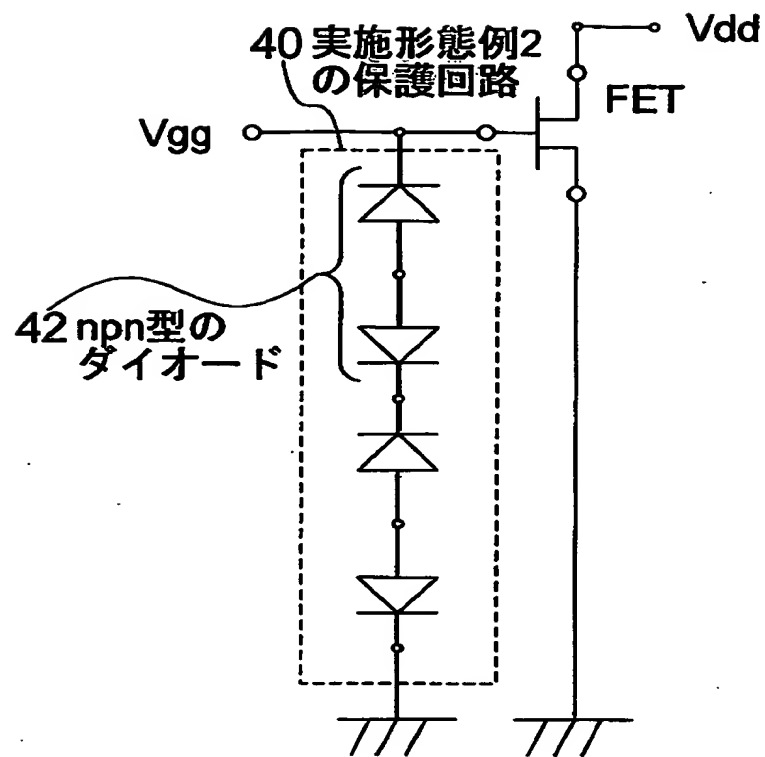
【図 1】



【図 2】

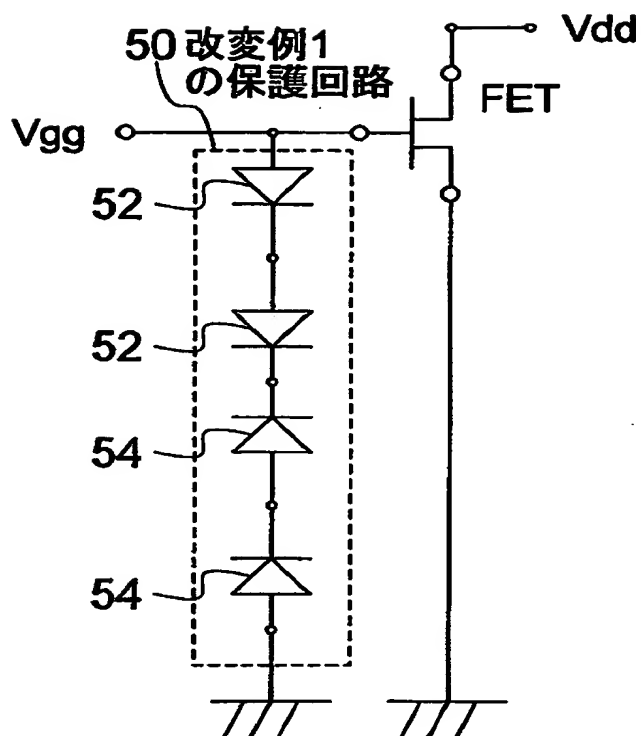


【図 3】

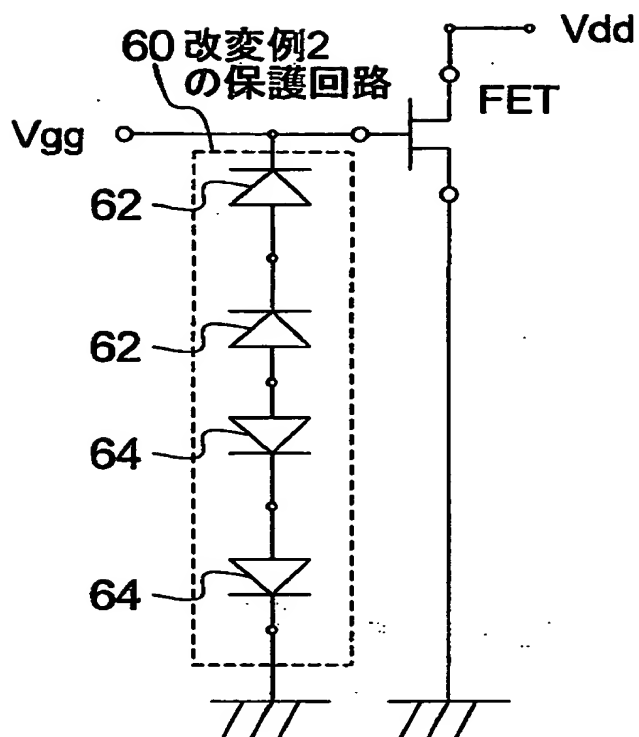




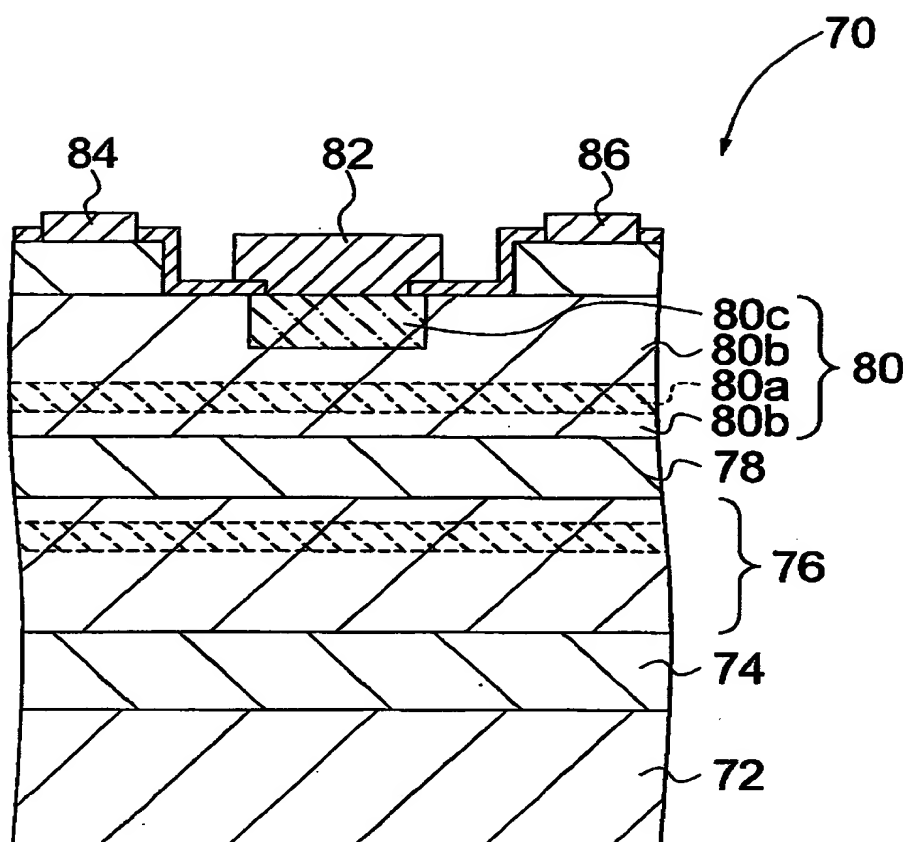
【図 4】



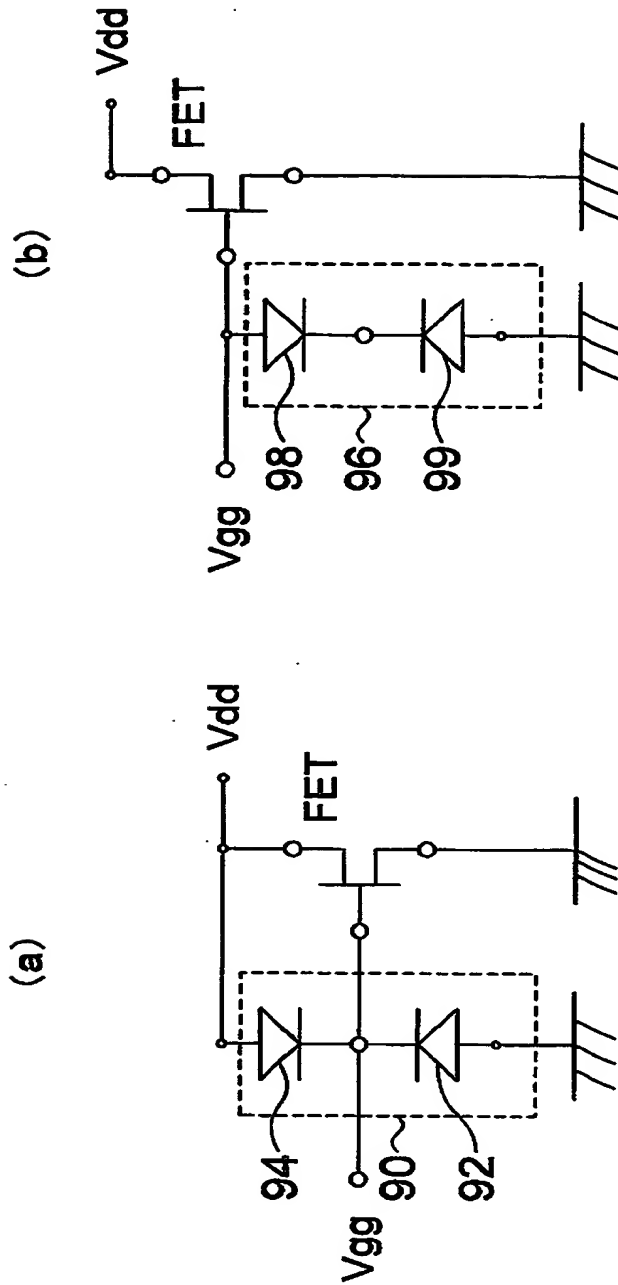
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 パターンレイアウトに対する制約及びプロセス工程を増やすことなく作製できる構成の電界効果トランジスタの保護回路を提供する。

【解決手段】 本電界効果トランジスタの保護回路 10 は、ショットキーゲート H F E T の保護回路であって、順方向のダイオード 12 と逆方向のダイオード 14 とを縦続接続させたダイオード・ユニット 16 の 2 組を直列に接続した回路であって、H F E T のゲート電極に接続されたゲート線  $V_{gg}$  は、保護回路 10 を介して接地されている。ダイオード 12、14 は、サージ破壊から保護するショットキーゲート H F E T と一体的に形成されたダイオードであって、G a A s 基板上に成膜された  $n^+$ -G a A s キャップ層と、 $n^+$ -G a A s キャップ層上に形成されたショットキー電極とからなるショットキーバリア・ダイオードとして構成されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日	1990年 8月30日
[変更理由]	新規登録
住 所	東京都品川区北品川6丁目7番35号
氏 名	ソニー株式会社